



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0115143
(43) 공개일자 2007년12월05일

(51) Int. Cl.

G11C 5/14 (2006.01) G11C 7/04 (2006.01)

(21) 출원번호 10-2006-0049131

(22) 출원일자 2006년05월31일

심사청구일자 2006년05월31일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

변상진

경기 성남시 중원구 금광2동 3950번지

삼익아파트103-811

(74) 대리인

특허법인 신성

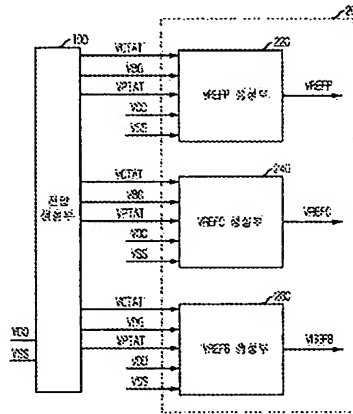
전체 청구항 수 : 총 17 항

(54) 반도체 소자

(57) 요약

본 발명은 온도에 대해 원하는 특성을 가지도록 내부전원전압의 전위레벨을 선택할 수 있게 하는 것으로, 특히 반도체 소자의 특성에 따라 내부전원전압이 온도 의존성을 갖도록 하여 반도체 소자의 온도 특성에 대한 마진을 확보할 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단; 및

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의 내부기준전압을 생성하는 내부기준전압 생성수단

을 구비하는 밴드 갭 기준전압 발생장치.

청구항 2

제1항에 있어서,

상기 전압생성수단은,

온도의 증가에 대응하여 정(+) 특성을 갖는 제1전류와 부(-) 특성을 갖는 제2전류를 생성하는 전류생성수단;

상기 제1전류와 상기 제2전류를 일정비율로 합한 제3전류에 비례하여 온도의 변동과 무관하게 일정한 전위레벨을 갖는 제1전압을 생성하는 제1전압 생성수단;

상기 제1전류와 상기 제2전류를 일정비율로 합한 제4전류에 비례하여 온도의 증가에 대응하여 정(+) 특성을 갖는 제2전압을 생성하는 제2전압 생성수단; 및

상기 제1전류와 상기 제2전류를 일정비율로 합한 제5전류에 비례하여 온도의 증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 제3전압 생성수단

을 구비하는 밴드 갭 기준전압 발생장치.

청구항 3

제2항에 있어서,

상기 전류생성수단은,

제2바이폴라 트랜지스터의 제2이미터 전류에 비례하는 제2베이스-이미터 전압을 제4저항 공급하여 상기 제1전류를 생성하며, 상기 제2이미터 전류는 제1바이폴라 트랜지스터의 제1이미터 전류에 일정배수의 크기를 갖는 제1전류 생성수단;

상기 제1전류 생성수단에 캐스캐이드 연결되고, 상기 제1이미터 전류에 비례하는 제1베이스-이미터 전압을 제5저항에 공급하여 상기 제2전류를 생성하는 제2전류 생성수단

을 구비하는 밴드 갭 기준전압 발생장치.

청구항 4

제2항에 있어서,

상기 제1전압 생성수단은,

상기 제1전류에 M배수의 크기를 갖는 전류와 상기 제2전류에 K배수의 크기를 갖는 전류를 합한 제3전류를 제6저항에 공급하여 상기 제1전압을 생성하는 밴드 갭 기준전압 발생장치.

청구항 5

제2항에 있어서,

상기 제2전압 생성수단은,

상기 제1전류에 D배수의 크기를 갖는 전류와 상기 제2전류에 C배수의 크기를 갖는 전류를 합한 제5전류를 제8저항에 공급하여 상기 제2전압을 생성하는 것을 특징으로 하는 밴드 갭 기준전압 발생장치.

청구항 6

제2항에 있어서,

상기 제3전압 생성수단은,

상기 제1전류의 B배수의 크기를 갖는 전류와 상기 제2전류에 A배수의 크기를 갖는 전류를 합한 제4전류를 제7저항에 공급하여 상기 제3전압을 생성하는 것을 특징으로 하는 밴드 갭 기준전압 발생장치.

청구항 7

제1항에 있어서,

상기 내부기준전압 생성수단은,

상기 내부기준전압의 종류에 따른 적어도 하나 이상의 기준전압 생성수단을 포함하고, 각각의 기준전압 생성수단은 동일한 회로구성을 갖지만 옵션에 따라 상이한 온도특성 및 상이한 전위레벨을 갖는 상기 내부기준전압을 생성하는 것을 특징으로 하는 밴드 갭 기준전압 발생장치.

청구항 8

제7항에 있어서,

상기 내부기준전압 생성수단은,

옵션에 응답하여 상기 제1전압 내지 제3전압 중 어느 하나의 전압을 선택하여 입력노드로 전달하는 옵션처리부; 및

상기 입력 노드에 걸린 전압과 같은 온도특성을 갖는 상기 내부기준전압을 생성하여 출력하는 내부기준전압 출력수단

을 포함하는 밴드 갭 기준전압 발생장치.

청구항 9

제8항에 있어서,

상기 내부기준전압 출력수단은,

상기 입력 노드에 걸린 전압과 분배전압을 입력받아 비교하는 비교수단;

상기 비교수단의 출력신호에 응답하여 상기 내부기준전압을 구동하는 구동수단;

상기 기준전압 출력단과 접지전압단 사이에 직렬로 연결된 가변저항 및 고정저항을 구비하고, 상기 가변저항과 상기 고정저항의 접속노드에서 상기 분배전압을 생성하는 분배수단

를 구비하는 밴드 갭 기준전압 발생장치.

청구항 10

제9항에 있어서,

상기 분배수단은,

상기 가변저항의 저항값을 조절함으로써 상기 내부기준전압의 종류를 결정하는 것을 특징으로 하는 밴드 갭 기준전압 발생장치.

청구항 11

온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단;

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의 내부기준전압을 생성하는 내부기준전압 생성수단; 및

상기 내부기준전압에 응답하여 반도체 소자 내부에서 사용되는 적어도 하나 이상의 내부전원전압을 생성하는 내부전원전압 생성수단

을 구비하는 반도체 소자

청구항 12

제11항에 있어서,

상기 내부전원전압 생성수단은,

상기 내부전원전압의 종류에 따른 적어도 하나 이상의 전원전압 생성수단을 포함하고, 각각의 전원전압 생성수단은 출력되는 상기 내부전원전압에 따라 상이한 회로구성을 갖는 것을 특징으로 하는 반도체 소자.

청구항 13

제12항에 있어서,

상기 내부전원전압 생성수단은,

승압 전압(VPP)을 생성하기 위한 승압 전압(VPP) 생성수단;

코어 전압(VCORE)을 생성하기 위한 코어 전압(VCORE) 생성수단; 및

백 바이어스 전압(VBB)을 생성하기 위한 백 바이어스 전압(VBB) 생성수단

을 포함하는 것을 특징으로 하는 반도체 소자

청구항 14

제13항에 있어서,

상기 내부기준전압 생성수단은,

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 제1기준전압을 생성하며, 상기 제1기준전압은 상기 승압 전압(VPP) 생성수단에서 상기 승압 전압(VPP)을 생성할 때 사용되는 것을 특징으로 하는 반도체 소자.

청구항 15

제13항에 있어서,

상기 내부기준전압 생성수단은,

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 제2기준전압을 생성하며, 상기 제2기준전압은 상기 코어 전압(VCORE) 생성수단에서 상기 코어 전압(VCORE)을 생성할 때 사용되는 것을 특징으로 하는 반도체 소자.

청구항 16

제13항에 있어서,

상기 내부기준전압 생성수단은,

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 제3기준전압을 생성하며, 상기 제3기준전압은 상기 백 바이어스 전압(VBB) 생성수단에서 상기 백 바이어스 전압(VBB)을 생성할 때 사용되는 것을 특징으로 하는 반도체 소자.

청구항 17

온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단;

상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의

주기 제어신호를 생성하는 제어전압 생성수단; 및

상기 주기 제어신호에 응답하여 오실레이팅 함으로써 셀프 리프레쉬 신호를 생성하는 셀프 리프레쉬 신호 생성 수단

을 구비하는 반도체 소자

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 반도체 소자의 내부 전원 발생 장치에 관한 것으로, 특히, 온도 의존성을 갖는 반도체 소자의 내부 전원 발생 장치에 관한 것이다.
- <10> 반도체 메모리 소자의 초고속, 고밀도, 저전력화에 따라 디램에서는 내부 전원을 사용하여 왔다. 내부 전원을 생성하기 위해서는 기준(Reference)전위를 만들고, 생성된 기준전위를 사용하여 차지 펌핑(charge pumping) 또는 다운 컨버팅(down converting)등을 이용하여 만든다.
- <11> 차지 펌핑(charge pumping)을 이용한 대표적인 내부 전원으로는 승압전압(VPP)과 백 바이어스 전압(VBB)가 있다. 또한, 다운 컨버팅(down converting) 이용한 대표적인 내부 전원으로는 코어전압(VCORE)가 있다.
- <12> 일반적으로 승압전압(VPP)은 셀을 액세스하기 위해 셀 트랜지스터의 게이트 (또는 워드 라인(Word line))에 셀 데이터의 손실이 없도록 외부전원전압(VDD)보다 높은 전위를 인가하기 위해 만든다.
- <13> 또한, 백 바이어스 전압(VBB)은 셀에 저장되어 있는 데이터의 손실을 막기 위해서 셀 트랜지스터의 벌크에 외부 접지전압(VSS)보다 낮은 전위를 인가하기 위해 만든다.
- <14> 그리고, 코어전압(VCORE)은 전력손실을 줄이고 안정된 코어의 동작을 위해 외부전원전압(VDD)를 다운 컨버팅(down converting)하여 외부전원전압(VDD)보다 낮고 동작영역 내에서는 외부전원전압(VDD)의 변동에 대해 일정한 전위를 유지하도록 증폭기(op-amp)등을 사용하여 만든다.
- <15> 도 1은 종래의 내부 전원 전압이 생성되는 과정을 도시한 블록도이다.
- <16> 도 1을 참조하면, 종래의 내부 전원 전압이 생성되는 과정은 다음과 같다.
- <17> 첫째, 전압 생성부(10)는 밴드 갭 회로로서 PVT(PROCESS, VOLTAGE, TEMPERATURE)의 변화에 대해 일정한 전위를 가지는 출력전압(VBG)을 만든다.
- <18> 둘째, VREF 생성부(20)는 전압 생성부의 출력전압(VBG)에 응답하여 승압전압(VPP)을 생성하기 위해서 필요한 승압기준전압(VREFP)과, 백 바이어스 전압(VBB)을 생성하기 위해서 필요한 백 바이어스 기준전압(VREFB), 코어전압(VCORE)을 생성하기 위해서 필요한 코어기준전압(VREFC)을 생성한다.
- <19> 셋째, 생성된 각각의 기준전압에 응답하여 승압전압(VPP), 및 백 바이어스 전압(VBB)은 전압 검출기(Detector)와, 오실레이터(Oscillator)와, 펌프제어기(Pump Controller), 및 펌프(Pump)를 거치는 내부전원전압 펌핑과정을 통해 승압전압(VPP)이나 백 바이어스 전압(VBB)을 생성한다. 마찬가지로 코어전압(VCORE)은 코어전압 생성기(VCORE Generator)를 이용하여 생성한다.
- <20> 도 2는 도 1에서 도시된 전압 생성부의 구현예를 도시한 회로도이다.
- <21> 도 2를 참조하면, 전압 생성부(10)는, 공정에 대해 변화가 작은 버티칼 바이폴라 접합 트랜지스터(Vertical PNP Bipolar Junction Transistor, Q1, Q2)를 사용한다. 바이폴라 접합 트랜지스터의 온도특성을 이용하여 온도의 증가에 따라 흐르는 전류의 양이 증가하게 되는 PTAT(Proportional To Absolute Temperature) 항(IPTAT, M*IPTAT)과 온도의 증가에 따라 흐르는 전류의 양이 감소하게 되는 CTAT(Complementary proportional To Absolute Temperature) 항(1CTAT, K*1CTAT)을 만들고 이들의 조합으로 PVT(PROCESS, VOLTAGE, TEMPERATURE)의 변화에 대해 일정한 전위를 가지는 출력전압(VBG)을 만든다.
- <22> 회로를 분석해 보면, A노드와 B노드가 op-amp1에 의해 가상접속(virtually shorted) 되었으므로, 1:N의 비를 가

지는 두 바이폴라 접합 트랜지스터(Q1,Q2)의 베이스-에미터 전류로 표현되는 일반적인 다이오드 전류 대 전압에 관한 식은 다음과 같다.

수학식 1

$$I_Q = I_S \left(\exp \left[\frac{V_{BE}}{V_T} \right] - 1 \right) \approx I_S \exp \left[\frac{V_{BE}}{V_T} \right] \quad V_{BE} \gg V_T$$

<23>

수학식 2

$$I_{Q1} = I_S \exp \left[\frac{V_{BE1}}{V_T} \right]$$

<24>

수학식 3

$$I_{Q2} = N \cdot I_S \exp \left[\frac{V_{BE2}}{V_T} \right]$$

<25>

<26> 여기서, I_{Q1}, I_{Q2} 는 각각의 바이폴라 접합 트랜지스터(Q1,Q2)에 흐르는 베이스-에미터 전류이다. 그러므로, A노드와 B노드의 전위가 같은 경우 R1저항을 통해 흐르는 IPTAT전류는 다음과 같다.

수학식 4

$$I_{PTAT} = \frac{(V_{BE1} - V_{BE2})}{R1} = \frac{\ln(N \cdot \alpha) \cdot V_T}{R1}$$

<27>

<28> 그리고, 동일한 상황에서 R2저항을 통해 흐르는 ICTAT전류는 다음과 같다.

수학식 5

$$I_{CTAT} = \frac{V_{BE1}}{R2}$$

<29>

<30> 동일한 크기의 PMOS에 동일한 양의 전류가 흐른다는 가정하에 P5전류는 P1전류에 비례한다.

수학식 6

$$I_5 = M \cdot I_{PTAT}$$

<31>

<32> 위와 동일한 가정하에 P4전류도 P3전류에 비례한다.

수학식 7

$$I_A = K \cdot I_{CTAT}$$

<33>

<34> 그러므로 P4와 P5전류는 각각 $K \cdot I_{CTAT}$ 와 $M \cdot I_{PTAT}$ 이다.

<35> 계산된 출력전압(VBG)은 다음과 같다.

수학식 8

$$VBG = \frac{K \cdot R_3}{R_2 \cdot \left(V_{BE1} + \left(\frac{M \cdot R_2}{K \cdot R_1} \right) \ln(N \cdot \alpha) \right) \cdot V_T}$$

<36>

<37> 온도 보상이 일어나도록 N, R1, R2, R3, K, M, 값을 적절히 조절해 주면 출력전압(VBG)은 PVT변화에 대하여 일정한 전위레벨을 갖게 된다. 일반적으로는 N, R1, R2, R3 값은 고정하고 K, M 값을 조절하여 PTAT항과 CTAT항의 전류량을 조절한다.

<38> 도 3은 종래의 기술에 의해 생성된 내부전원전압의 온도에 따른 전위를 도시한 그래프이다.

<39> 도 3을 참조하면, 승압전압(VPP)과, 백 바이어스 전압(VBB), 및 코어전압(VCORE)이 온도의 변동에 대하여 일정한 전위레벨을 유지하는 것을 알 수 있다.

<40> 그런데, 종래의 기술과 같이 내부전원전압의 전위가 온도의 변동에 대하여 항상 일정한 값을 갖게 되면, 트랜지스터의 문턱 전압(V_{th})이 온도가 낮을수록 커지는 특성 때문에 낮은 온도에서는 메모리 셀의 tWR(Write Recovery Time)이 길어지는 문제점이 생긴다. 마찬가지로, 높은 온도에서는 누출전류(leakage current)가 증가하므로 리프레쉬(refresh) 시간이 짧아지는 문제점이 생긴다.

발명이 이루고자 하는 기술적 과제

<41> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 제안된 것으로, 온도의 변동에 따라 일정하거나, 증가하거나, 감소하는 특성을 갖는 내부기준전압을 생성하는 밴드 갭 기준전압 생성장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<42> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단; 및 상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의 내부기준전압을 생성하는 내부기준전압 생성수단을 구비하는 반도체 소자를 제공한다.

<43> 상기의 기술적 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단; 상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의 내부기준전압을 생성하는 내부기준전압 생성수단; 및 상기 내부기준전압에 응답하여 반도체 소자 내부에서 사용되는 적어도 하나 이상의 내부전원전압을 생성하는 내부전원전압 생성수단을 구비하는 반도체 소자를 제공한다.

<44> 상기의 기술적 과제를 달성하기 위한 본 발명의 또 다른 측면에 따르면, 온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압, 온도증가에 대응하여 정(+) 특성을 갖는 제2전압, 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압을 생성하는 전압생성수단; 상기 제1전압 내지 제3전압 중 어느 하나 전압을 선택하고, 선택된 전압

의 온도특성을 갖는 적어도 하나 이상의 주기 제어신호를 생성하는 제어전압 생성수단; 및 상기 주기 제어신호에 응답하여 오실레이팅 함으로써 셀프 리프레쉬 신호를 생성하는 셀프 리프레쉬 신호 생성수단을 구비하는 반도체 소자를 제공한다.

- <45> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명을 보다 용이하게 실시할 수 있도록 본 발명의 바람직한 실시예를 소개하기로 한다.
- <46> 도 4는 본 발명의 실시예에 따른 내부기준전압이 생성되는 과정을 도시한 블록도이다.
- <47> 도 4를 참조하면, 온도의 변화에 무관하게 일정한 전위레벨을 갖는 제1전압(VBG), 온도증가에 대응하여 정(+) 특성을 갖는 제2전압(VPTAT), 및 온도증가에 대응하여 부(-) 특성을 갖는 제3전압(VCTAT)을 생성하는 전압생성부(100), 및 제1전압(VBG) 내지 제3전압(VCTAT) 중 어느 하나 전압을 선택하고, 선택된 전압의 온도특성을 갖는 적어도 하나 이상의 내부기준전압(VREFP, VREFC, VREFB)을 생성하는 내부기준전압 생성부(200)를 구비한다.
- <48> 여기서, 내부기준전압 생성부(200)는, 내부기준전압의 종류(VREFP, VREFV, VREFB)에 따른 적어도 하나 이상의 기준전압 생성부(220, 240, 260)를 포함하고, 각각의 기준전압 생성부는(220, 240, 260) 동일한 회로구성을 갖지만 옵션에 따라 상이한 온도특성(VCTAT, VPTAT, VBG) 및 상이한 전위레벨을 갖는 내부기준전압(VREFP, VREFV, VREFB)을 생성한다.
- <49> 즉, 생성되는 내부기준전압(VREFP, VREFC, VREFB)은 온도 변화에 무관하게 전위레벨이 일정한 특성 또는 온도증가에 대응하여 정(+) 특성 또는 온도증가에 대응하여 부(-) 특성 중 어느 하나의 특성을 선택하여 갖는다.
- <50> 여기서, 정(+) 특성은, 온도의 변동에 비례한다는 뜻으로써 온도 증가에 대응하여 정(+) 특성을 갖는다는 것은 온도 증가에 대응하여 전위레벨이 증가한다는 뜻이다.
- <51> 마찬가지로, 부(-) 특성은, 온도의 변동에 반 비례한다는 뜻으로써 온도 증가에 대응하여 부(-) 특성을 갖는다는 것은 온도 증가에 대응하여 전위레벨이 감소한다는 뜻이다.
- <52> 도 5는 도 4에서 도시된 전압 생성부의 구현예를 도시한 회로도이다.
- <53> 도 5를 참조하면, 전압 생성부(100)는, 온도의 증가에 대응하여 정(+) 특성을 갖는 제1전류(IPTAT)와 부(-) 특성을 갖는 제2전류(ICTAT)를 생성하는 전류생성부(110)와, 제1전류(IPTAT)와 제2전류(ICTAT)를 일정비율($K \cdot IPTAT : M \cdot ICTAT$)로 합한 제3전류(ISUM_3)에 비례하여 온도의 변동과 무관하게 일정한 전위레벨을 갖는 제1전압(VBG)을 생성하는 제1전압 생성부(120)와, 제1전류(IPTAT)와 제2전류(ICTAT)를 일정비율($B \cdot IPTAT : A \cdot ICTAT$)로 합한 제4전류(ISUM_4)에 비례하여 온도의 증가에 대응하여 정(+) 특성을 갖는 제2전압(VPTAT)을 생성하는 제2전압 생성부(140), 및 제1전류(IPTAT)와 제2전류(ICTAT)를 일정비율($D \cdot IPTAT : C \cdot ICTAT$)로 합한 제5전류(ISUM_5)에 비례하여 온도의 증가에 대응하여 부(-) 특성을 갖는 제3전압(VCTAT)을 생성하는 제3전압 생성부(130)를 구비한다.
- <54> 여기서, 전류생성부(110)는, 제2바이폴라 트랜지스터(Q2)의 제2이미터 전류(IE2)에 비례하는 제2베이스-이미터 전압(VBE2)을 제4저항(R4)을 공급하여 제1전류(IPTAT)를 생성하며, 제2이미터 전류(IE2)는 제1바이폴라 트랜지스터(Q1)의 제1이미터 전류(IE1)에 일정배수의 크기(N배)를 갖는 제1전류 생성부(112)와, 제1전류 생성부(112)에 캐스캐이드(CASCADE) 연결되고, 제1이미터 전류(IE1)에 비례하는 제1베이스-이미터 전압(VBE1)을 제5저항(R5)에 공급하여 제2전류(ICTAT)를 생성하는 제2전류 생성부(114)를 구비한다.
- <55> 또한, 제1전압 생성부(120)는, 제1전류(IPTAT)에 M배수의 크기를 갖는 전류($M \cdot IPTAT$)와 제2전류(ICTAT)에 K배수의 크기를 갖는 전류($K \cdot ICTAT$)를 합한 제3전류(ISUM_3)를 제6저항(R6)에 공급하여 제1전압(VBG)을 생성한다.
- <56> 그리고, 제2전압 생성부(140)는, 제1전류(IPTAT)에 D배수의 크기를 갖는 전류($D \cdot IPTAT$)와 제2전류(ICTAT)에 C배수의 크기를 갖는 전류($C \cdot ICTAT$)를 합한 제5전류(ISUM_5)를 제8저항(R8)에 공급하여 제2전압(VPTAT)을 생성한다.
- <57> 또한, 제3전압 생성부(130)는, 제1전류(IPTAT)에 B배수의 크기를 갖는 전류($B \cdot IPTAT$)와 제2전류(ICTAT)에 A배수의 크기를 갖는 전류($A \cdot ICTAT$)를 합한 제4전류(ISUM_4)를 제7저항(R7)에 공급하여 제3전압(VCTAT)을 생성한다.
- <58> 즉, 제2전압 생성부(140)와 제3전압 생성부(130)는, 온도 변동에 따라 전위레벨이 일정한 값을 출력하는 제1전압 생성부(120)와 동일한 회로구성을 갖지만 각 PMOS트랜지스터(P4 <-> P6 <-> P8, P5 <-> P7 <-> P9)의 구동력에 차이를 둬으로써 온도에 따라 전위가 변동하는 제2전압과 제3전압을 생성한다.

- <59> 자세한 회로분석은 종래기술에서 설명하였으므로 여기서는 생략하기로 한다.
- <60> 도 6은 도 4에서 도시된 VREFC 생성부의 구현예를 도시한 회로도이다.
- <61> 도 6을 참조하면, 내부기준전압 생성부(200)의 구성요소 중 VREFC 생성부(240)는, 옵션에 응답하여 제1전압(VBG) 내지 제3전압(VCTAT) 중 어느 하나의 전압을 선택하여 입력노드(IN_NODE)로 전달하는 옵션처리부(242), 및 입력 노드(IN_NODE)에 걸린 전압과 같은 온도특성을 갖는 내부기준전압(VREFC)을 생성하여 출력하는 내부기준전압 출력부(244)를 포함한다.
- <62> 여기서, 내부기준전압 출력부(244)는, 입력 노드(IN_NODE)에 걸린 전압과 분배전압(DIVI_VOL)을 입력받아 비교하는 비교부(2442)와, 비교부(2442)의 출력신호에 응답하여 내부기준전압(VREFC)을 구동하는 구동부(2444), 및 내부기준전압 출력단과 접지전압단 사이에 직렬로 연결된 가변저항(CH_R) 및 고정저항(R)을 구비하고, 가변저항(CH_R)과 고정저항(R)의 접속노드에서 분배전압(DIVI_VOL)을 생성하는 분배부(2446)를 구비한다.
- <63> 또한, 분배부(2446)는, 가변저항(CH_R)의 저항값을 조절함으로써 내부기준전압의 종류(VREFP, VREFV, VREFB)를 결정한다.
- <64> 즉, 내부기준전압 생성부(200)는 상이한 온도특성을 갖는 제1전압(VBG), 제2전압(VPTAT), 제3전압(VCTAT) 중 어느 하나의 온도특성을 생성되는 내부전원전압에 적용시킨다. 예를 들면, 제2전압(VPTAT)가 적용된 코어전압(VCORE)의 경우 온도의 증가에 대응하여 전위레벨이 증가하는 코어전압(VCORE)이 된다.
- <65> 이상에서 살펴 본 바와 같이 본 발명의 실시예를 적용하면, 온도의 변동에 대응하여 전위레벨이 일정한 전압과, 온도의 증가에 대응하여 전위레벨이 증가하는 전압, 및 온도의 증가에 대응하여 전위레벨이 감소하는 전압 중 어느 하나의 전압을 선택하여 내부기준전압으로 생성함으로써 반도체 소자의 마진을 크게 할 수 있다. 예를 들어 낮은 온도에서 본 발명의 기술을 적용하여 승압전압(VPP)의 절대값을 증가시키고, 백 바이어스 전압(VBB)의 절대값을 줄이면, tWR fail에 대한 마진을 확보하여 소자의 불량률(yield)을 줄일 수 있다. 마찬가지로, 높은 온도에서는 백 바이어스 전압(VBB)의 절대값을 크게 하여 리프레쉬 타임을 늘려줄 수 있어 불필요한 전류소비를 줄일 수 있다.
- <66> 도 7은 도 4에 도시된 본 발명의 실시예에 따라 생성된 내부기준전압을 이용하여 내부전원전압이 생성되는 과정을 도시한 블록도이다.
- <67> 도 7을 참조하면, 도 4에 도시된 본 발명의 실시예와 동일한 구성을 갖는 전압 생성부(100)와 내부기준전압 생성부(200)를 포함하고, 내부기준전압 생성부(200)에서 생성된 내부기준전압(VREFP, VREFC, VREFB)를 사용하여 내부전원전압(VPP, VCODR, VBB)을 더 포함한다.
- <68> 여기서, 내부전원전압 생성부(300)는, 내부전원전압(VPP, VCORE, VBB)의 종류에 따른 적어도 하나 이상의 전원전압 생성부(VPP 생성부, VCORE 생성부, VBB 생성부)를 포함하고, 각각의 전원전압 생성수단은 출력되는 내부전원전압의 종류(VPP, VCORE, VBB)에 따라 상이한 회로구성을 갖는다.
- <69> 본 발명의 실시예에 추가된 내부전원전압 생성부(300)는 승압 전압(VPP)을 생성하기 위한 승압 전압(VPP) 생성수단(320)과, 코어 전압(VCORE)을 생성하기 위한 코어 전압(VCORE) 생성수단(340), 및 백 바이어스 전압(VBB)을 생성하기 위한 백 바이어스 전압(VBB) 생성수단(360)을 포함한다.
- <70> 그리고, 본 발명의 실시예에서는 승압전압(VPP)를 생성하는 승압기준전압(VREFP)과, 코어전압(VCORE)을 생성하는 코어기준전압(VREFC)와, 백 바이어스 전압(VBB)를 생성하는 백 바이어스 기준전압(VREFB)을 생성하는 것을 설명했다. 하지만, 본 발명의 기술은 반도체 내부에서 사용되는 모든 내부전압을 생성하는 내부기준전압을 생성하는데 사용할 수 있다.
- <71> 마찬가지로, 본 발명의 기술은 온도 보상이 필요한 모든 기준 전위를 사용하는 회로에 적용이 가능하다. 예를 들면, 온도에 따라 셀프 리프레쉬 주기를 변화시키는 장치에도 사용이 가능하다.
- <72> 도 8은 본 발명의 실시예에 따라 생성된 내부전원전압의 온도 따른 전위를 도시한 그래프이다.
- <73> 도 8을 참조하면, 본 발명의 기술대로 내부전원전압(VPP, VCORE, VBB)의 전위레벨이 온도의 변동에 대해 일정하게 유지하면서 변동하거나, 온도의 증가에 대해 정(+)으로 변동하거나, 온도의 증가에 대해 부(-)로 변동하여 출력되는 것을 알 수 있다.

발명의 효과

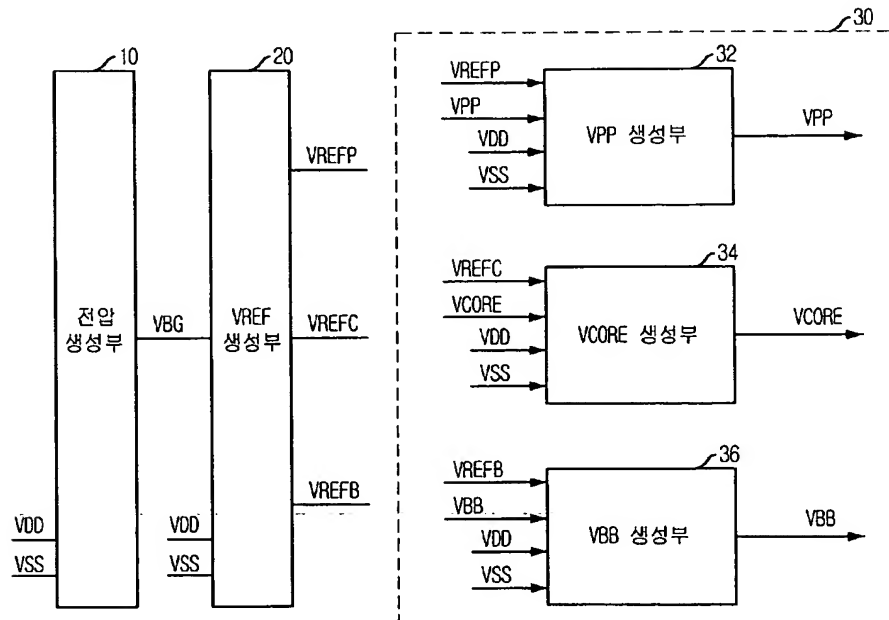
<74> 전술한 본 발명은 온도에 대해 원하는 특성을 가지도록 내부전원전압의 전위레벨을 선택할 수 있게 하는 것으로, 특히 반도체 소자의 특성에 따라 내부전원전압이 온도 의존성을 갖도록 하여 반도체 소자의 온도 특성에 대한 마진을 확보할 수 있다.

도면의 간단한 설명

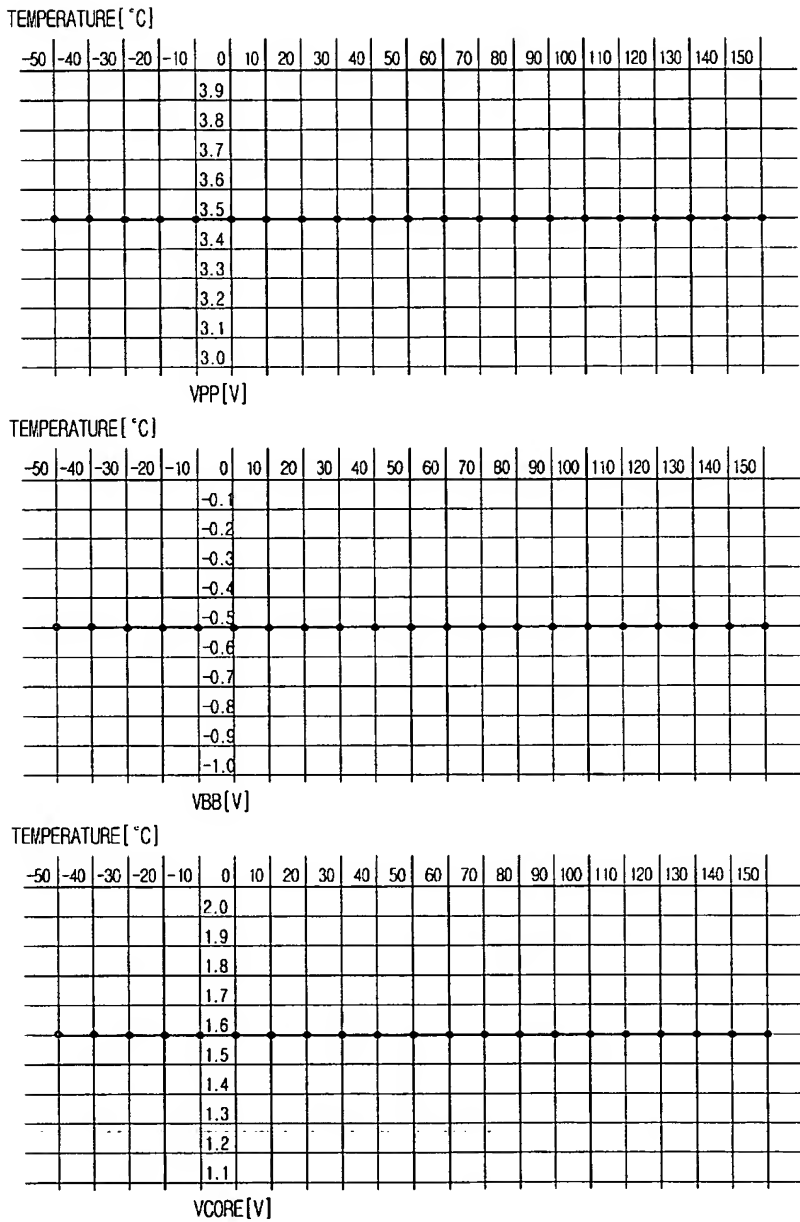
- <1> 도 1은 종래의 내부 전원 전압이 생성되는 과정을 도시한 블록도.
- <2> 도 2는 도 1에서 도시된 전압 생성부의 구현예를 도시한 회로도.
- <3> 도 3은 종래의 기술에 의해 생성된 내부전원전압의 온도에 따른 전위를 도시한 그래프.
- <4> 도 4는 본 발명의 실시예에 따라 내부기준전압이 생성되는 과정을 도시한 블록도.
- <5> 도 5는 도 4에서 도시된 전압 생성부의 구현예를 도시한 회로도.
- <6> 도 6은 도 4에서 도시된 VREFC 생성부의 구현예를 도시한 회로도.
- <7> 도 7은 도 4에 도시된 본 발명의 실시예에 따라 생성된 내부기준전압을 이용하여 내부전원전압이 생성되는 과정을 도시한 블록도.
- <8> 도 8은 본 발명의 실시예에 따라 생성된 내부전원전압의 온도 따른 전위를 도시한 그래프.

도면

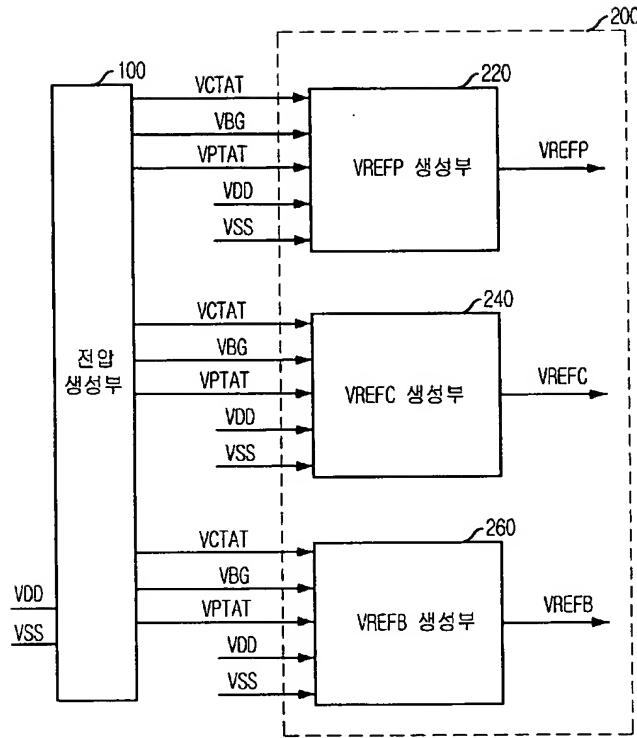
도면1



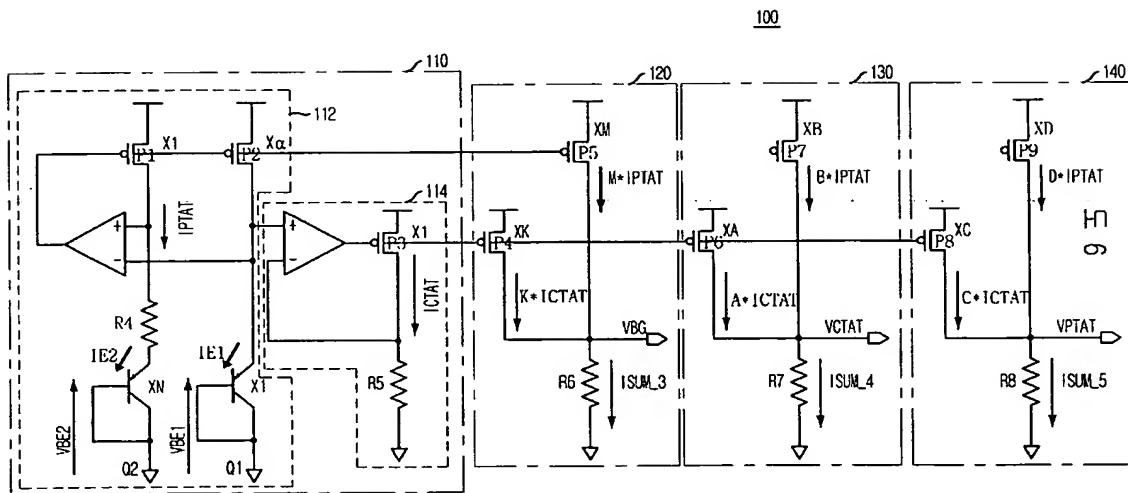
도면3



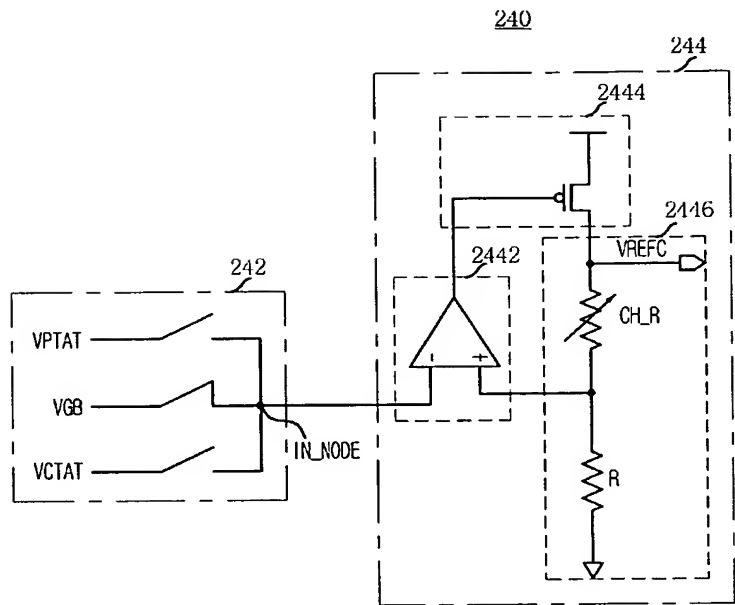
도면4



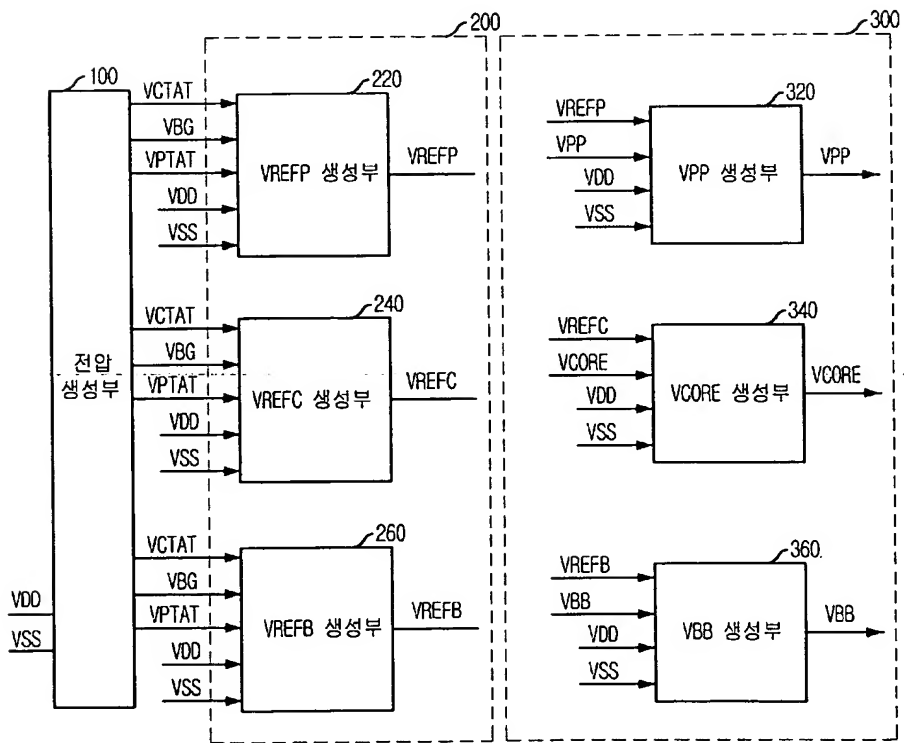
도면5



도면6



도면7



도 8

